

Radom, dnia 21 lipca 2025 r.

FB / TL / TK / 1495 / 2025

Dotyczy: udzielenia odpowiedzi na pytania do zapytania ofertowego nr sprawy 44 / OI / 2025 z dn. 16 lipca 2025 r. – część nr 1.

Pytanie nr 1:

Zapisy dotyczące ilości pamięci na kanał, 32 gniazd pamięci RAM oraz obsługi minimum 8TB RAM jest ograniczeniem konkurencyjności, ponieważ pozwala na zaoferowania tylko i wyłącznie serwerów bazujących na procesorach od firmy intel jednocześnie uniemożliwiając Zamawiającemu otrzymania ofert o równych lub lepszych parametrach bazujących na wiodącym producencie procesorów AMD. Dopuszczenie rozwiązań opartych o AMD EPYC pozwoli na doprowadzenie do konkurencyjności na poziomie procesorów i jednocześnie pozwoli Zamawiającemu na uzyskanie bardziej wydajnego środowiska przy niższej cenie. Dodatkowo zwracamy uwagę, że wymaganie, aby serwer posiadał, 32 gniazda pamięci RAM DDR5, obsługa min. 8TB pamięci RAM wydaje się niezasadnym w kontekście wymagania co do wyposażenia w rzeczony RAM na poziomie: 512 GB pamięci RAM, a więc 15 razy mniej. Aktualnie środowiska wyposażone w pełne osadzeni slotów RAM na poziomie 8TB są niezwykle rzadkie i w skali kraju oraz świata są niemal niespotykane. Wydaje się więc, że te wymaganie jest zdecydowanie zawyżonym i jednocześnie skutecznie ogranicza konkurencyjność. Ponadto, Zamawiający wymaga, aby zainstalowane pamięci pracowały z prędkością przesyłania danych na poziomie 5600MT/s. W przypadku pełnego obsadzenia 32 slotów (konieczne celem osiągnięcia wymaganych teoretycznie 8TB) wymaga zastosowania układu 2 DPC (2 x DIMM Per Channel) prędkość przesyłania danych zauważalnie spada o około 10% i nie będzie wynosić wymaganych 5600MT/s.

W związku z powyższym czy Zamawiający uzna za równoważne serwery posiadające płytę główną pozwalającą na obsadzeni 12 kości RAM per procesor, 24 kości w przypadku 2 procesorów, obsługujące do 6TB pamięci operacyjnej?

Odpowiedź:

Zamawiający podtrzymuje wymogi zawarte w złączniku nr 1 (SIWZ).

Pytanie nr 2:

Zabezpieczenie pamięci „ECC, SDDC, ADDDC, Memory Mirroring.”

Dodatkowo, zwracamy uwagę, że zabezpieczenie pamięci operacyjnej realizowane przez funkcjonalności, SDDC, ADDDC, Memory Mirroring (wspólnie specyficzne tylko dla procesorów intel), może być w sposób równie lub nawet bardziej efektywnie realizowane przez mechanizmy Advanced Memory Device Correction natywnie dostępne na platformach serwerach bazujących na procesorach AMD. Ponad to mechanizm Mirroring jest niezwykle rzadko wykorzystywanym, ponieważ jego użycie powoduje zablokowanie połowy pamięci operacyjnej na potrzeby spare przez co efektywnym wykorzystywane jest tylko połowa dostępnej pamięci RAM to znacząco podraża wartość całego serwera oraz koszty utrzymania infrastruktury. Advanced Memory Device Correction pozwala na korygowanie dowolnej liczby błędów, które występują w pojedynczym chipie DRAM bez konieczności dublowania pamięci w serwerze.

W związku z powyższym, zwracamy się z prośbą o modyfikację niniejszego punktu poprzez wykreślenie wymagania wsparcia dla technologii „Memory mirroring, patrol scrubbing, SDDC, memory thermal throttling, ADDDC-SR, PPR, Memory SMBus hang recovery” oraz wprowadzenie równoważności pozostałych wymagań przez zaoferowanie serwera oferującego zabezpieczenie pamięci RAM serwera dzięki mechanizmom RAS (Memory Reliability, Availability, and Serviceability) realizowanym przez Advanced Memory Device Correction.

Odpowiedź:

Zamawiający podtrzymuje wymogi zawarte w załączniku nr 1 (SIWZ).


CZŁONEK ZARZĄDU*Daniel Wilk*
PREZES ZARZĄDU*Seweryn Figurski*